

PERANCANGAN REGISTER GESER SISO (*SERIAL INPUT SERIAL OUTPUT*) 3 BIT MENGUNAKAN TEKNOLOGI HIBRIDA MONOLITIC METAL OXYDE SEMIKONDUKTOR (MOS)

Mokh. Sholihul Hadi*

Abstrak: Penelitian ini bertujuan untuk mengembangkan sebuah gagasan untuk merancang *device* terpadu dalam orde *mm* yang mempunyai tingkat kehandalan, dan fungsi sesuai aslinya. Sebagai obyek penelitian dipilih *register*, sebagai salah satu representasi *device* yang sangat diperlukan. *Register* merupakan sekelompok *flip-flop* yang dapat menyimpan informasi *biner* yang terdiri dari *bit* majemuk. *Register* dengan *n flip-flop* mampu menyimpan sebesar *n bit*. Ada dua cara untuk menyimpan, dan membaca data ke dalam *register*, yaitu *seri* dan *parallel*. Dalam operasi *seri*, diterapkan secara *sequential bit* demi *bit* sampai semua tingkat *register* terpenuhi. Spesifikasi hasil perancangan, $V_{OH} = 15$ V, $V_{OL} = 0$ V, $V_{IH} = V_{IL} = 7,1$ V dengan *Noise Margin* $N_{MH} = 7,9$ dan $N_{ML} = 7,1$ V. Hasil perancangan ini menghasilkan *IC Register Geser SISO (serial input serial output) 3 bit* berukuran panjang = 51,6 mm, lebar = 6,3 mm, dan Luas = 325,08 μm^2

Kata kunci: flip-flop, register, *sequential*

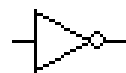
Semakin pesatnya perkembangan teknologi microelektronika dirasakan telah memberikan arti dan kemudahan untuk kehidupan manusia di muka bumi ini. Perkembangan tersebut mampu memberikan inspirasi bagi lahirnya gagasan-gagasan baru untuk mewujudkan *device-device* yang sudah ada dalam bentuk *microchip*. Berbagai macam teknologi dipakai untuk merealisasikan ide-ide yang telah dibuat. Salah satu teknologi yang biasa dipakai adalah menggunakan teknologi hibrida Metal Oxyde Semikonduktor (MOS).

Register merupakan bentuk awal yang populer memori LSI karena ia mudah dirancang dan ditest. Karena alasan tersebut, maka perlu dicoba untuk mempelajari bagaimana perancangan *Register Geser SISO (serial input serial output) 3 bit* menggunakan teknologi hibrida Metal Oxyde Semikonduktor (MOS).

Penelitian ini merupakan suatu tahap awal, pengembangan komponen elektronika menjadi bentuk *device* mikroelektronika, yang mempunyai dimensi dalam orde micrometer dengan tingkat kehandalan sistem yang sama. Hasil penelitian ini dapat menjadi dasar pengembangan dalam penerapan teknologi mikroelektronika pada rangkaian yang lebih kompleks.

Gerbang NOT

Gerbang NOT mempunyai satu masukan serta satu keluaran dan melakukan operasi peniadaan (negation) sesuai dengan definisi berikut ini: Keluaran dari rangkaian NOT akan mengambil keadaan 1 jika dan hanya jika masukannya tidak mengambil Keadaan 1. Simbol standar untuk menunjukkan logika peniadaan adalah suatu lingkaran kecil yang digambarkan pada titik pertemuan antara garis sinyal dan simbol logika. Lambang gerbang NOT ditunjukkan dalam Gambar 1 dan tabel kebenaran untuk gerbang NOT diberikan dalam Tabel 1.



Gambar 1 Lambang Gerbang NOT

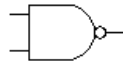
Tabel 1 Tabel Kebenaran Gerbang Not

Masukan	Keluaran
0	1
1	0

Gerbang NAND

Gerbang NAND merupakan komplemen dari gerbang AND. Logika keluaran dari gerbang NAND bernilai 1 jika dan hanya jika ada masukan dari gerbang

NAND yang bernilai 0. Lambang dari gerbang NAND dua masukan diberikan dalam Gambar 2. Logika keluaran suatu gerbang NAND dapat dilihat dalam Tabel 2. Kode A dan B dalam Tabel melambangkan jalur input sedangkan kode Y melambangkan jalur output.



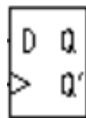
Gambar 2 Lambang Gerbang NAND

Tabel 2 Tabel Kebenaran Gerbang NAND 2 Masukan

A	B	$\overline{Y=A \cdot B}$
0	0	1
0	1	1
1	0	1
1	1	0

Flip-flop D

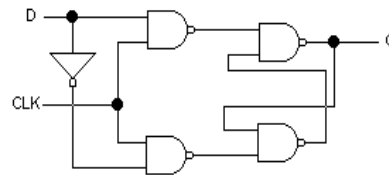
Flip-flop D mendapatkan namanya karena kemampuannya memindahkan data ke dalam flip-flop RS dengan sebuah pembalik di masukan R-nya. Adanya penambahan pem-balik itu mengurangi banyaknya masukan dari dua menjadi satu. Di samping itu karena keluaran Q tidak akan menerima masukan D sampai datangnya suatu pulsa waktu, bentuk itu sering juga disebut sebagai flip-flop tertunda (*delay flip-flop*). Lambang untuk flip-flop D diberikan dalam Gambar 3.



Gambar 3 Lambang Flip-Flop D

Seperti halnya dengan setiap flip-flop menurut waktu, flip-flop D juga dilengkapi dengan masukan SET dan CLR. Register geser SISO (*serial input serial output*) 3 bit ini, tersusun atas tiga komponen flip-flop D. Flip-flop D yang ditunjukkan da-

lam Gambar 4 merupakan modifikasi flip-flop RS menurut waktu. Tabel kebenaran flip-flop D ditunjukkan dalam Tabel 3.



Gambar 4 Flip-Flop D

Tabel 3 Tabel Kebenaran Flip-Flop D

Mode operasi	Masukan				Keluaran	
	PR	CLR	CLK	D	Q	\overline{Q}
Set Asinkron	0	1	X	X	1	0
Reset asinkron	1	0	X	X	0	1
Terlarang	0	0	X	X	1	1
Set	1	1	↑	1	1	0
Reset	1	1	↑	0	0	1

Register

Register merupakan bentuk dasar dari instrument yang dipergunakan untuk memanipulasi data. Suatu register geser dapat menyimpan data biner untuk sementara dan memindahkan data tersebut ke dalam atau ke luar register. Sebenarnya suatu register geser bertugas untuk memindahkan data secara seri bit demi bit.

Bilangan biner yang disimpan di dalam register dikalikan dengan dua bila digeser sekali ke kiri dan dibagi dua bila digeser ke kanan. Dan hal itu berlaku jika bit yang digeser tersebut tidak hilang. Untuk melukiskan hal itu tinjau suatu register lima bit dengan bilangan 01100 tersimpan di dalamnya. Bilangan biner itu setara dengan bilangan desimal 12. Bila bilangan itu digeser ke kiri, isi register itu menjadi 11000 yang setara dengan bilangan desimal 24. Dengan menggeser isi register itu sekali ke kanan, isi register itu berubah menjadi 00110 yang setara dengan desimal 6.

METODE

Perhitungan Parameter

Dalam penentuan karakteristik register geser SISO (*serial input serial output*)

3 bit maka perlu diketahui parameter-parameter gerbang dasarnya. Besarnya nilai parameter-parameter dapat diketahui melalui perhitungan berikut:

Transistor PMOS

- $K' \text{ (pMOS)} = m_n \cdot C_{ox}$
 m_n = Mobilita elektron rata – rata pada kanal [cm^2/VS]
 C_{ox} = Kapasitansi oksida per area
 $= 49 \cdot 10^{-9}$
 $K' \text{ (p mos)} = 20 \text{ m AN}^2$
- $f_{FP} = \frac{-kT}{q} \ln\left[\frac{N_i}{N_{AP}}\right]$
 ϕ_{FP} = Potensial elektrostatis pada bahan semikonduktor p mos
 N_i = Konsentrasi pembawa muatan intrinsik
 $(1,4 \cdot 10^{10} / \text{cm}^3 \text{ pada } 300^0 \text{ K})$
 k = Konstanta Boltzman
 $= 1,4 \cdot 10^{23} \text{ joule} / ^0\text{K}$
 T = Suhu kamar [^0K] = 300^0
 q = Muatan intrinsik = $1,6 \cdot 10^{-19}$
 N_{AP} = Doping substrat p mos = $1015 / \text{cm}^3$
 $f_{FP} = -1,4 \cdot 10^{-23} \times 300 / 1,6 \cdot 10^{-19} \ln\left[\frac{1,45 \cdot 10^{10}}{10^{15}}\right]$
 $= -0,289 \text{ V}$
- $Q_{BO} = -\sqrt{2 \cdot q \cdot N_{AP} \cdot x \cdot S_i | -2f_f |}$
 Q_{BO} = Jumlah muatan
 $x \cdot S_i$ = Permittivitas S_i (*silicon*) ($1,062 \times 10^{-12}$)
 $2f_f$ = Konsentrasi doping $10^{15}/\text{cm}^3$
 $\approx 0,6\text{V}$
 $Q_{BO} = -\sqrt{2 \times 1,6 \times 10^{-19} \times 10^{15}}$
 $= -1,4 \cdot 10^{-8} \text{ C} / \text{cm}^2$
- Potensial elektrostatis bahan *gate* (f_{FG})
 $f_{FG} = -\frac{kT}{q} \ln\left(\frac{N_i}{N_D}\right)$
 N_D = Doping substrate gate ($10^{15}/\text{cm}^3$)
 $f_{FG} = -\frac{1,38 \times 10^{-23} \times 300}{1,6 \times 10^{-19}} \ln\left(\frac{1,45 \times 10^{10}}{10^{15}}\right)$
 $f_{FG} = -0,288\text{V}$

- Beda potensial antara substrat pMOS dan *gate* (f_{BC})

$$f_{BC} = f_{FP} - f_{FG}$$

$$f_{BC} = 0,288\text{V} - 0,288\text{V}$$

$$f_{BC} = 0$$

- Tegangan *threshold* pMOS ($V_{T0,p}$)

$$V_{T0,p} = -f_{BC} - 2f_f - \frac{Q_{BO}}{C_{ox}} - \frac{Q_{ox}q}{C_{ox}}$$

$$C_{ox} = 49 \times 10^{-9}$$

Q_{ox} = Muatan sambungan antara substrat dan *gate*

$$Q_{ox} = 2 \times 10^{10} / \text{cm}^3$$

sehingga diperoleh $V_{T0,p} = 0,918\text{V}$

Transistor NMOS

- Potensial Elektrostatis semikonduktor nMOS

$$f_{FN} = -\frac{kT}{q} \ln\left(\frac{N_i}{N_{AN}}\right)$$

f_{FN} = Potensial elektrostatis pada bahan semikonduktor pMOS

N_{AN} = Konsentrasi pembawa muatan intrinsik ($10^{15}/\text{cm}^3$ pada suhu 300K)

$$f_{FN} = -\frac{1,38 \times 10^{-23} \times 300}{1,6 \times 10^{-19}} \ln\left(\frac{10^{15}}{1,45 \times 10^{10}}\right)$$

$$f_{FN} = -0,288\text{V}$$

- Beda potensial antara substrat dan *gate* (f_{BC})

$$f_{BC} = f_{FP} - f_{FG}$$

$$f_{BC} = -0,288\text{V} - 0,288\text{V}$$

$$f_{BC} = -0,576$$

- Jumlah muatan substrat

$$Q_{BO} = -\sqrt{2 \cdot q \cdot N_{AN} \cdot x \cdot S_i | -2f_f |}$$

$$Q_{BO} = -\sqrt{2 \times 1,6 \times 10^{-19} \times 10^{15} \times 1,062 \times 10^{-12} \times 0,6}$$

$$Q_{BO} = 1,428 \times 10^{-8}$$

- Tegangan *threshold* nMOS ($V_{T0,n}$)

$$V_{T,n} = -f_{BC} - 2f_f - \frac{Q_{BO}}{C_{ox}} - \frac{Q_{ox}q}{C_{ox}}$$

$$V_{T,n} = 0,576 - 0,6 + \frac{1,428 \times 10^{-8}}{49 \times 10^{-9}} - \frac{2 \times 10^{10} \times 1,6 \times 10^{-19}}{49 \times 10^{-9}}$$

$$V_{T,n} \approx 0,2\text{V}$$

Karakteristik pada CMOS

- V_{DD} = tegangan yang diberikan pada transistor – transistor inverter tersebut
 $V_{DD} = 15 \text{ V}$
- Parameter transkonduktansi nMOS (K_N)

$$K_N = K' \left[\frac{W}{L} \right]_N$$

$$W = 0,1 \cdot 10^{-6} = 0,1 \text{ mm}$$

$$L = 0,1 \cdot 10^{-6} = 0,1 \text{ mm}$$

$$K' = \text{parameter transkonduktansi}$$

$$K_N = 20 [0,1/0,1] = 20 \text{ mA/V}^2$$
- Parameter transkonduktansi pMOS (K_P)

$$K_N = 20 [0,1/0,1] = 20 \text{ mA/V}^2$$

$$K_P/K_N = K_N/K_P = 1$$
- Pada CMOS, $V_{OH} = V_{DD} = 15 \text{ V}$ dan

$$V_{OL} = \text{ground} = 0 \text{ V}$$

Pengondisian pada Transistor CMOS

- Pada saat $V_{in} = V_{IH}$ (nMOS linier dan pMOS saturasi)
 $I_{DN} (\text{linier}) = I_{DP} (\text{saturasi})$,
 sehingga diperoleh persamaan

$$V_{IH} = \frac{2V_{out} + V_{TN} + \frac{K_P}{K_N} (V_{DD} - IV_{TP})}{1 + \frac{K_P}{K_N}}$$

dengan iterasi diperoleh

$$V_{IH} = \frac{1}{2} V_{DD} = 7,5 \text{ V}$$

Jika $V_{IH} = 7,1 \text{ V}$, maka $V_{out} = 0,403 \text{ V}$

- Pada saat $V_{IN} = V_{IL}$, maka nMOS akan jenuh dan pMOS linier karena seri maka:
 $I_{DN} (\text{jenuh}) = I_{DP} (\text{linier})$, sedangkan
 $V_{IL} < V_{IH}$ atau sebanding dengan $7,1 \text{ V}$

$$V_{IH} = \frac{2V_{out} - V_{DD} - IV_{TP} + \frac{K_P}{K_N} (V_{TP})}{1 + \frac{K_P}{K_N}}$$

$$7,1 = \frac{2V_{out} - 15 - 1 + 1x1}{1 + 1}$$

$$V_{out} = 14,6 \text{ V}$$

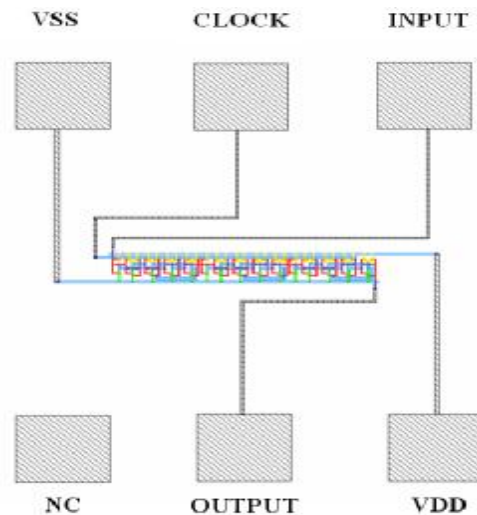
- Noise margin

$$N_{MH} = V_{OH} - V_{IH} = 15 - 7,1 = 7,9 \text{ V}$$

$$N_{ML} = V_{IL} - V_{OL} = 7,1 - 0 = 7,1 \text{ V}$$

HASIL

Berikut adalah hasil lay out register geser serial input serial output menggunakan teknologi hibryda monolithic Metal Oxyde Semikonduktor. Spesifikasi teknis register tersebut antara lain: $V_{OH} = 15 \text{ V}$, $V_{OL} = 0 \text{ V}$, $V_{IH} = V_{IL} = 7,1 \text{ V}$ dengan *Noise Margin* $N_{MH} = 7,9$ dan $N_{ML} = 7,1 \text{ V}$. Hasil perancangan ini menghasilkan IC Register Geser SISO (serial input serial output) 3 bit berukuran panjang = $51,6 \text{ mm}$, lebar = $6,3 \text{ mm}$, dan Luas = $325,08 \mu\text{m}^2$



Gambar 5 Hasil Perancangan Register

Pada bagian ini akan dibahas tentang simulasi dan analisis rangkaian yang telah dibuat. Setelah dilakukan simulasi kemudian dilakukan analisis terhadap rangkaian.

Simulasi Rangkaian

Simulasi pada rangkaian dilakukan untuk mengetahui apakah rangkaian telah bekerja sesuai dengan yang dikehendaki. Simulasi dilakukan dengan menggunakan program Winspice 3.

Berikut ini adalah listing program winspice untuk pengujian 1 bit register geser siso 3 bit tersebut.

Pengujian 1 bit

Vdd 1 0 dc 5v

vinut 2 0 pulse(0 5 0 3ns 3ns 200us 400ns)

```
vclock 4 0 pulse(0 5 0 3ns 3ns 100ns 200ns)
```

```
m1 1 2 3 1 modp
m2 3 2 0 0 modn
m3 1 2 5 1 modp
m4 1 4 5 1 modp
m5 5 2 6 6 modn
m6 6 4 0 0 modn
m7 1 3 7 1 modp
m8 1 4 7 1 modp
m9 7 3 8 8 modn
m10 8 4 0 0 modn
m11 1 5 10 1 modp
m12 1 9 10 1 modp
m13 10 5 11 11 modn
m14 11 9 0 0 modn
m15 1 7 9 1 modp
m16 1 10 9 1 modp
m17 9 7 12 12 modn
m18 12 10 0 0 modn
```

```
.model modp pmos
.model modn nmos
.tran 1ns 1000ns
.plot tran v(2) v(4) v(10)
.end
```

Hasil simulasi dari rangkaian tersebut dapat dilihat dalam Gambar 5.

PEMBAHASAN

Analisis gerbang inverter CMOS

Gerbang inverter CMOS diberi tegangan sumber 15 V, maka gerbang ini akan membalikkan keadaan masukan dari high menuju low sehingga V_{out} dari gerbang = 0,403 V (masih kategori rendah karena masih lebih kecil dibandingkan dengan tegangan thresholdnya). Jika gerbang inverter dicatu 0 V maka keadaan input akan di balik dari low menjadi high sehingga V_{out} gerbang = 14,6 V atau sebanding dengan 15 V.

Karakteristik invertir dari gerbang inverter CMOS ini dapat diketahui dari nilai N_{MH} dan N_{ML} nya

Analisis perancangan register geser SISO (serial input serial output) 3 bit

Dalam perancangan register geser SISO (serial input serial output) 3 bit ini menggunakan teknologi hibrida film tebal. Karena itu dalam fabrikasinya diperlukan adanya pengaturan tata letak atau pembua-

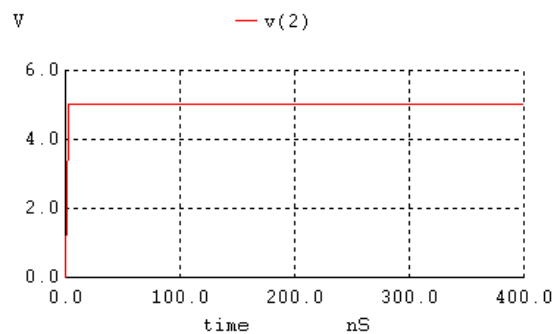
tan lay out terhadap device – device register geser SISO (serial input serial output) 3 bit ini. Kita dapat menggunakan program LASI untuk memudahkan dalam pengaturan tata letak (lay out).

Dalam menggambar lay out register geser SISO (serial input serial output) 3 bit ini, ditetapkan bahwa lebar L dan $W = 0,1 \text{ mm}$ dan $= 1 \lambda$.

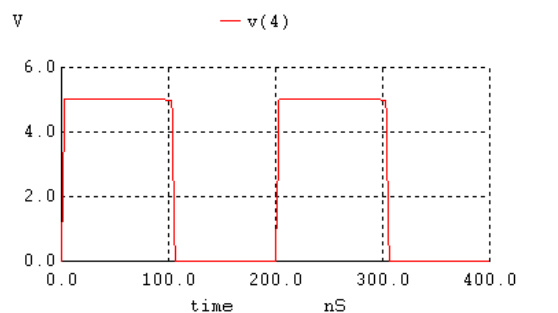
Tahapan – tahapan dalam proses penentuan tata letak register geser SISO (serial input serial output) 3 bit dalam fabrikasinya, meliputi :

1. Penentuan tata letak difusi P dan N
Bagian ini digunakan untuk pembuatan source dan drain
2. Poly silikon
Bagian ini digunakan dalam pembuatan gate
3. Metalisasi
Bagian ini digunakan untuk menghubungkan antar device
4. Konektor
Bagian ini digunakan untuk menghubungkan terminal-terminal device.

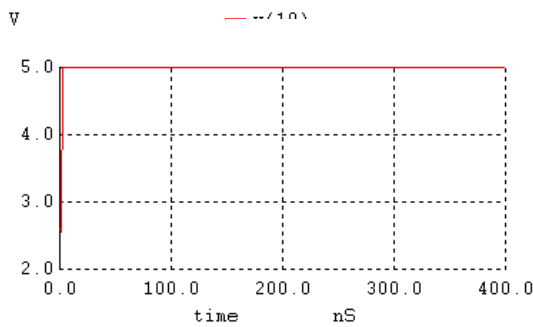
Lay out untuk masing-masing lapisan dapat disusun sesuai tingkat kebutuhan dalam perancangan.



(a)



(b)



(c)
Gambar 6 Grafik hasil simulasi. (a) Input,
(b) Clock , (c) Output.

KESIMPULAN

Karakteristik *register geser SISO (serial input serial output) 3 bit* hasil rancangan dengan menggunakan CMOS: Tegangan yang diberikan pada transistor inverter (V_{DD}) = 15 V

- Parameter transkonduktansi nMOS
(K_N) = $20 \text{ mA}/V^2$
- Parameter transkonduktansi pMOS
(K_P) = $20 \text{ mA}/V^2$
 - $V_{OH} = 15 \text{ V}$, $V_{IH} = 7,1 \text{ V}$
 - $V_{OL} = 0 \text{ V}$, $V_{IL} = 7,1 \text{ V}$
 - Noise Margin
 $N_{MH} = 7,9 \text{ V}$
 $N_{ML} = 7,1 \text{ V}$

Dimensi IC *register geser SISO (serial input serial output) 3 bit*

- Panjang = $516 \lambda = 51,6 \mu\text{m}$
- Lebar = $63 \lambda = 6,3 \mu\text{m}$
- Luas = $325,08 \mu\text{m}^2$

Dalam pembuatan *register geser SISO (serial input serial output) 3 bit*, perlu diketahui parameter-parameter rangkaian pembentuknya sebelum dilakukan penggambaran layout karena parameter-parameter ini berperan dalam penentuan mutu kerja dari *register geser SISO (serial input serial output) 3 bit*.

DAFTAR RUJUKAN

- Lee, Kwyro, et al. 1993. *Semiconductor Device Modeling for VLSI*. New Jersey: Prentice-Hall.
- Liao, Samuel Y. 1987. *Microwave Devices and Circuits*. 2th ed. New Delhi : Prentice-Hall.
- Long, Stephen I. And Butner, Steven E. 1990. *Gallium Arsenide Digital Integrated Circuit Design*. Singapore: McGraw-Hill Book Co.
- Mismail, Budiono. 1982. *Dasar-dasar Rangkaian Logika*. Malang : Lembaga Penerbit Unibraw.
- Sedra, Adel S. and Smith, Keneth C. 1991. *Microelectronic Circuit*. 3rd ed. US A: Holt, Rinehart & Winston Inc.
- Sze, M. 1985. *Semiconductor Devices, Physics and Techology*. New Jersey: Bell Telephone Lab Inc.
- Thomas E. Dilinger. 1988. *VLSI Engineering*. Prentice Hall. Englewood Cliffs. New Jersey 07632.
- Tokheim, Roger L. *Elektronika Digital*. Jakarta: Erlangga.